

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-287220

[ST.10/C]:

[JP2002-287220]

出 願 人

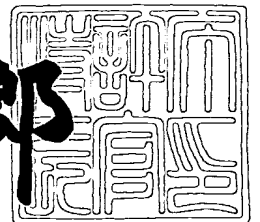
Applicant(s):

株式会社東芝

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3035068

【書類名】 特許願

【整理番号】 13878701

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体記憶装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 目 黒 寿 孝

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 杉 本 茂 樹

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】

同一層内で互いに並行に配列されそれぞれが異なるビット線コンタクトと接続する複数の第 1 接続配線と、前記第 1 接続配線と同一層内で前記第 1 接続配線と交互にかつ互いに並行に配列されそれぞれが異なるビット線コンタクトと接続する複数の第 2 接続配線と、前記複数の第 1 接続配線上にそれぞれ形成された複数の第 1 プラグと、前記複数の第 2 接続配線上にそれぞれ形成された複数の第 2 プラグと、前記複数の第 1 プラグに接続する複数の第 1 メタル配線と、前記第 1 メタル配線と異なる層に形成され、前記複数の第 2 プラグに接続する複数の第 2 メタル配線とを備え、前記第 1 および第 2 メタル配線は互いに厚さ、幅の少なくとも一方が異なり、かつ前記複数の第 1 メタル配線の配線間の配線容量と配線抵抗の積と、前記複数の第 2 メタル配線の配線間の配線容量と配線抵抗の積とが実質的に同一となるように構成されていることを特徴とする半導体記憶装置。

【請求項 2】

前記第 1 メタル配線は前記第 2 メタル配線より下層に形成され、かつ前記第 2 メタル配線よりも厚さが薄いことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

同一層内で互いに並行に配列されそれぞれが異なるビット線コンタクトと接続する複数の第 1 接続配線と、前記第 1 接続配線と同一層内で前記第 1 接続配線と交互にかつ互いに並行に配列されそれぞれが異なるビット線コンタクトと接続する複数の第 2 接続配線と、前記複数の第 1 接続配線上にそれぞれ形成された複数の第 1 プラグと、前記複数の第 2 接続配線上にそれぞれ形成された複数の第 2 プラグと、前記複数の第 1 プラグに接続する複数の第 1 メタル配線と、前記第 1 メタル配線と異なる層に形成され前記複数の前記第 2 プラグに接続する複数の第 2 メタル配線とを備え、前記第 1 および第 2 メタル配線は互いに配線材料の固有抵抗率が異なり、かつ前記複数の第 1 メタル配線の配線間の配線容量と配線抵抗の積と、前記複数の第 2 メタル配線の配線間の配線容量と配線抵抗の積とが実質的

に同一となるように構成されていることを特徴とする半導体記憶装置。

【請求項 4】

前記複数の第 1 メタル配線の配線間および前記複数の第 2 メタル配線の配線間に設けられる層間絶縁膜の比誘電率が互いに異なることを特徴とする請求項 1 または 3 記載の半導体記憶装置。

【請求項 5】

前記第 1 および第 2 メタル配線の少なくとも一方がダマシン配線であることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、微細なメモリセル及びメタル配線を有するメモリセルアレイ構造に適用される。

【0002】

【従来の技術】

従来の半導体記憶装置の配線形成を、図 9 乃至図 11 を参照して説明する。図 9 乃至図 10 は、メモリセルのメタル配線部の製造工程を示す断面図である。まず、例えば、P 型シリコン半導体基板 21 の平坦に仕上げられた主面に層間絶縁膜 22 を 500 nm 形成する（図 9（a）参照）。次に、層間絶縁膜 22 の全面にフォトリジストを塗布し光リソグラフィー技術により所望のレジストパターン（図示せず）を形成する。その後、上記レジストパターンをマスクとして層間絶縁膜 22 をドライエッチング例えば R I E（Reactive Ion Etching）を用いて加工し、層間絶縁膜 22 に例えば深さ 100 nm の溝を形成する。その後、下から Ti 層 50 nm、TiN 層 50 nm、W 層 250 nm からなる積層構造のメタル配線を形成した後、ケミカルメカニカルポリッシュ（以後 CMP）で表面を所望の高さで平坦化し上記溝内にタングステン配線 23 を形成する（図 9（b）参照）。なお、タングステン配線 23 は、図示しないコンタクトを介して基板内の拡散層と接続されている。

【0003】

次に、上記層間絶縁膜 2 2 と上記タングステン配線 2 3 上の全面に層間絶縁膜 2 4 を 5 0 0 n m 形成する。その後、層間絶縁膜 2 4 の全面にフォトレジストを塗布し光リソグラフィ技術によりタングステン配線 2 3 上の一部に開口を有するレジストパターン（図示せず）を形成した後、ドライエッチングを用いて層間絶縁膜 2 4 をパターンニングし、層間絶縁膜 2 4 にタングステン配線 2 3 に達する深さ 5 0 0 n m のビアホールを形成する。その後、下層より T i 層 5 0 n m、T i N 層 5 0 n m、W 層 2 5 0 n m の積層構造を有する金属層を、上記ビアホールを埋め込むように形成し、CMP で表面を所望の高さで平坦化し、上記ビアホール内にタングステンプラグ 2 5 を形成する。

【 0 0 0 4 】

次に、層間絶縁膜 2 4 およびタングステンプラグ 2 5 を覆うように、下層より T i 層 5 0 n m および T i N 層 5 0 n m からなるバリアメタル層 2 6 a と、膜厚 2 0 0 n m の A l 層 2 6 b と、T i 層 5 0 n m および T i N 層 5 0 n m からなるバリアメタル層 2 6 c とを有する積層構造のメタル配線膜 2 6 を形成する（図 9（c）参照）。

【 0 0 0 5 】

更に、メタル配線 2 6 上にフォトレジストを塗布し光リソグラフィ技術により所望のレジストパターンを形成した後、メタル配線膜 2 6 をドライエッチングを用いて加工し、タングステンプラグ 2 5 上の所望の位置にメタル配線 2 6 A を形成する（図 1 0（a）参照）。その後、メタル配線 2 6 A 上には、保護膜 2 9 が形成され（図 1 0（b）参照）、これにより半導体記憶装置の多層配線工程の一部が完成される。なお、保護膜 2 9 が形成される前、すなわち、図 1 0（a）に示す半導体記憶装置の上面図を図 1 1 に示す。

【 0 0 0 6 】

しかし、半導体記憶装置においては、特にワード線とビット線に用いられる配線は最小デザイン寸法で形成する必要がある。メモリセルが微細化されるに従い、配線寸法も同時に微細化が進行する。ところが、図 1 2 に示すようにメタル配線特性を示すエレクトロマイグレーション（以後 E M）特性は、配線寸法に依存し、配線寸法が微細な領域では細線ほど急激に劣化を引き起こすことが知られ

ている。このため、メモリセルを微細化するとメタル配線の信頼性が失われるという問題がある。

【0007】

また、微細化がもたらす他の問題点として図13に示すように、配線の抵抗 R の上昇と配線間容量 C の増大によって時定数 $\tau (=C \times R)$ が増大し、信号の遅延が発生する。信号が伝達される信号線における遅延の発生は、高速動作が要求されるトランジスタの駆動に変化をもたらすため、デバイス性能の低下を招くことになる。

【0008】

なお、ビット線間のカップリング容量を低減して誤動作を削減するために、上層の配線部と下層の配線部とを有し、隣接するビット線間では互いに隣接する部位において異なる層の配線部が配置された半導体記憶装置が知られている（例えば、特許文献1参照）。

【0009】

【特許文献1】

特開2002-57227号公報

【0010】

【発明が解決しようとする課題】

本発明は、上記事情を考慮してなされたものであって、メモリセルの微細化を行っても配線の信頼性を失うことなくかつ信号の遅延の発生を可及的に防止することのできる半導体記憶装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明の第1の態様による半導体記憶装置は、同一層内で互いに並行に配列されそれぞれが異なるビット線コンタクトと接続する複数の第1接続配線と、前記第1接続配線と同一層内で前記第1接続配線と交互にかつ互いに並行に配列されそれぞれが異なるビット線コンタクトと接続する複数の第2接続配線と、前記複数の第1接続配線上にそれぞれ形成された複数の第1プラグと、前記複数の第2接続配線上にそれぞれ形成された複数の第2プラグと、前記複数の第1プラグに

接続する複数の第 1 メタル配線と、前記第 1 メタル配線と異なる層に形成され、前記複数の第 2 プラグに接続する複数の第 2 メタル配線とを備え、前記第 1 および第 2 メタル配線は互いに厚さ、幅の少なくとも一方が異なり、かつ前記複数の第 1 メタル配線の配線間の配線容量と配線抵抗の積と、前記複数の第 2 メタル配線の配線間の配線容量と配線抵抗の積とが実質的に同一となるように構成されていることを特徴とする。

【 0 0 1 2 】

本発明の第 2 の態様による半導体記憶装置は、同一層内で互いに並行に配列されそれぞれが異なるビット線コンタクトと接続する複数の第 1 接続配線と、前記第 1 接続配線と同一層内で前記第 1 接続配線と交互にかつ互いに並行に配列されそれぞれが異なるビット線コンタクトと接続する複数の第 2 接続配線と、前記複数の第 1 接続配線上にそれぞれ形成された複数の第 1 プラグと、前記複数の第 2 接続配線上にそれぞれ形成された複数の第 2 プラグと、前記複数の第 1 プラグに接続する複数の第 1 メタル配線と、前記第 1 メタル配線と異なる層に形成され前記複数の前記第 2 プラグに接続する複数の第 2 メタル配線とを備え、前記第 1 および第 2 メタル配線は互いに配線材料の固有抵抗率が異なり、かつ前記複数の第 1 メタル配線の配線間の配線容量と配線抵抗の積と、前記複数の第 2 メタル配線の配線間の配線容量と配線抵抗の積とが実質的に同一となるように構成されていることを特徴とする。

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明の一実施形態について図面を参照しながら具体的に説明する。

【 0 0 1 4 】

まず、本発明の一実施形態による半導体記憶装置を説明する前に、本実施形態の前提となる半導体記憶装置を、参考例として、図 1 乃至図 6 を参照して説明する。この参考例による半導体記憶装置は、以下のように形成される。

【 0 0 1 5 】

まず、例えば、図示しないメモリセルアレイや周辺回路となる素子が形成された P 型シリコン半導体基板 1 の平坦に仕上げられた主面に層間絶縁膜 2 を 5 0 0

n m 形成する（図 1（a）参照）。次に、層間絶縁膜 2 の全面にフォトリソグレイ技術により所望のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして層間絶縁膜 2 ドライエッチングを用いて加工し、層間絶縁膜 2 に深さ 1 0 0 n m の溝（図示せず）を形成する。

【 0 0 1 6 】

その後、下層より T i 層 5 0 n m、T i N 層 5 0 n m、W 層 2 5 0 n m の積層構造を有するメタル配線膜を形成し、続いて C M P で表面を所望の高さで平坦化し上記溝内にタングステン配線 3 を形成する（図 1（b）参照）。このようにして形成されたタングステン配線 3 の上面図を図 5 に示す。図 1（b）は、図 5 に示す切断線 A - A で切断したときの断面図である。また、図 5 に示す切断線 B - B で切断したときの断面図を図 6 に示す。図 5 から分かるように、タングステン配線 3 は、後述のビット線となるメタル配線と接続するためのコンタクト部 3 a と、シリコン半導体基板 1 に形成された N 型の活性領域 5 3 とビット線コンタクト 5 7 を介して接続する細長い部分 3 b とを有している。そして、図 5 の下側にコンタクト部 3 a を有するタングステン配線（下側のタングステン配線）3 と、上側にコンタクト部 3 a を有するタングステン配線（上側のタングステン配線）3 が交互に形成された構成となっている。活性領域 5 3 は、シリコン基板 1 に形成された浅い素子分離絶縁膜 5 1 によって分離されている。なお、図 6 において、層間絶縁膜 2 は 2 層の層間絶縁膜から構成されている。すなわち、下層の絶縁膜は、図示しないゲート線を埋め込むために B P S G (Boron Phosphorus Silicate Glass) から構成されており、上層の絶縁膜は S i O₂ から構成されている。

【 0 0 1 7 】

次に、層間絶縁膜 2 およびタングステン配線 3 を覆うように膜厚 5 0 0 n m の層間絶縁膜 4 を形成する（図 1（c）参照）。その後、層間絶縁膜 4 の全面にフォトリソグレイ技術により、一本置き of タングステン配線 3 上の一部に開口 1 7 を有するレジストパターン 5 を形成する。続いて、このレジストパターン 5 をマスクとして、層間絶縁膜 4 をドライエッチング、例えば R I E を用いて加工し、層間絶縁膜 4 に、タングステン配線 3 に達する深さ 5 0

0 nmのビアホール17を形成する（図1（d）参照）。本実施形態で用いているコンタクト開口用レジストはサーマルフローレジストを用いており露光時の寸法に対して小径化が可能となっている。

【0018】

次に、レジストパターン5を除去した後、下層よりTi層50 nm、TiN層50 nm、W層250 nmからなる積層構造を有する金属膜を上記ビアホール17を埋め込むように形成した後、CMPで表面を所望の高さで平坦化し上記ビアホール内にタングステンプラグ6を形成する（図2（a）参照）。

【0019】

次に、層間絶縁膜4およびタングステンプラグ6を覆うように、下層よりTi層50 nmおよびTiN層50 nmからなるバリアメタル7aと、膜厚200 nmのAl層7bと、Ti層50 nmおよびTiN層50 nmからなるバリアメタル7cからなる積層構造を有するメタル配線膜を順に形成し、更に、このメタル配線膜上にフォトレジストを塗布し光リソグラフィーにより所望のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして上記メタル配線膜をドライエッチング、例えばRIEを用いて加工し、タングステンプラグ6上の所望の位置に膜厚が200 nmのメタル配線7を形成する（図2（b）参照）。

【0020】

次に、上記レジストパターンを除去した後、図2（c）に示すように、メタル配線7を覆うように全面に層間絶縁膜10を形成する。その後、層間絶縁膜10の全面にフォトレジストを塗布し光リソグラフィー技術により、タングステンプラグ6が接触しているタングステン配線3と隣接するタングステン配線に対応して開口を有する所望のレジストパターン11を形成した後、このレジストパターン11をマスクとしてドライエッチング、例えばRIEを用いて層間絶縁膜10、4を加工し、層間絶縁膜10、4にタングステン配線に達するビアホール18を形成する（図2（c）参照）。このとき、開口されたビアホール18は、図5に示す上側のタングステン配線3のコンタクト部3aに接続するものであり、図5に示す切断線C-Cで切断した場合に図面上に現れるものである。なお、図1

(c) で形成されたビアホール 1 7 は、図 5 に示す下側のタングステン配線 3 のコンタクト部 3 a に接続するものである。また、図 1 乃至図 3 は、図 5 で示す切断線 A - A で切断した場合の断面図である。前回の工程と同様、本工程で用いているコンタクト開口用レジストはサーマルフローレジストを用いており露光時の寸法に対して小径化が可能となっている。

【 0 0 2 1 】

次に、上記レジストパターン 1 1 を除去した後、図 3 に示すように、下層より Ti 層 5 0 n m、Ti N 層 5 0 n m、W 層 2 5 0 n m からなる積層構造のメタル膜を、ビアホール 1 8 を埋め込むように形成した後、CMP で表面を平坦化し、ビアホール 1 8 内にタングステンプラグ 1 2 を形成する。

【 0 0 2 2 】

続いて、層間絶縁膜 1 0 およびタングステンプラグ 1 2 を覆うように、下層より Ti 層 5 0 n m および Ti N 層 5 0 n m からなるバリアメタル 1 3 a と、膜厚が 2 0 0 n m の Al 層 1 3 b と、Ti 層 5 0 n m および Ti N 層 5 0 n m からなるバリアメタル 1 3 c とを有する積層構造のメタル配線膜を形成する。更に、このメタル配線膜上にフォトリソレジストを塗布し、光リソグラフィー技術により所望のレジストパターンを形成した後、このレジストパターンをマスクとして上記メタル配線膜を、ドライエッチング、例えば R I E を用いて加工し、タングステンプラグ 1 2 上の所望の位置に、ビット線となるメタル配線 1 3 を形成する。その後、メタル配線 1 3 上には、保護膜 1 6 を形成し（図 3 参照）、これにより半導体記憶装置の多層配線工程の一部が完成する。

【 0 0 2 3 】

この参考例によって形成された配線の平面図を図 4 に示す。なお、図 4 は、層間絶縁膜 1 0、1 6 が図示省略した場合の平面図である。本参考例による半導体記憶装置は、従来の半導体記憶装置に比べてメタル配線 1 3 が付加された二層メタル配線構造を有している。なお、本参考例においては、メタル配線 7 とメタル配線 1 3 の厚さ及び配線間スペースに関してはそれぞれ同一となるように形成している。したがって、メタル配線 7 を伝達する信号の遅延とメタル配線 1 3 を伝達する信号の遅延は実質的に同一となる。

【 0 0 2 4 】

以上、説明したように、本参考例によれば、二層メタル配線構造としたことにより、隣接するメタル配線の間隔（配線間スペース）及びメタル配線のピッチを従来の場合に比べて大きくすることが可能となり、メタル配線の幅を太くすることができる。これにより、メモリセルを微細化しても、メタル配線は従来の場合に比べて微細化する必要がなく、メタル配線の信頼性の低下および信号の遅延の発生を防止することができる。

【 0 0 2 5 】

このようなビット線構造を取ることによって、デザインルールより緩和した配線寸法で形成することができるため、メタル配線の信頼性やトランジスタの駆動力を低下させないメモリトランジスタを製造することができる。

【 0 0 2 6 】

次に、本発明の一実施形態による半導体記憶装置の構成を図 7 および図 8 を参照して説明する。図 7 は本実施形態による半導体記憶装置の構成を示す断面図であり、図 8 は本実施形態による半導体記憶装置のメタル配線の平面図である。

【 0 0 2 7 】

この実施形態による半導体記憶装置は、参考例による半導体記憶装置のメタル配線 7 およびメタル配線 1 3 の幅 b と配線間スペース c は同一とし、メタル配線 7 およびメタル配線 1 3 の一方のメタル配線、例えばメタル配線 7 の厚さ（膜厚）を他方のメタル配線 1 3 の厚さ（膜厚） a の $1/x$ （ $x \neq 0$ ）倍したものとなっている。

【 0 0 2 8 】

このようにメタル配線 7 の厚さをメタル配線 1 3 の厚さ a の $1/x$ 倍とすると、メタル配線 7 の抵抗 R は、メタル配線 1 3 の抵抗の x 倍となるが、メタル配線 7 の配線間容量 C は、メタル配線 1 3 の配線間容量の $1/x$ 倍となる。このため、本実施形態においては、メタル配線 7 を伝達する信号の遅延とメタル配線 1 3 を伝達する信号の遅延は実質的に同一となる。なお、本実施形態において、遅延が実質的に同一であるとは、抵抗 R と配線間容量 C の積が $\pm 2\%$ 以内の範囲にあることを意味する。

【 0 0 2 9 】

このように、メタル配線 7, 13 の材料を変えないで、一方のメタル配線の厚さを変えること、例えばメタル配線 13 の厚さをメタル配線 7 の厚さよりも厚くすることは、メタル配線 13 をメモリセルアレイのビット線と周辺回路の電源線とを共用する場合に有効である。すなわち、電源線のようなグローバルな配線は一般にローカルな信号線より上層に設けられ、かつビット線の幅はできるだけ狭くすることが微細化のために必要である一方、電源線は電流密度を確保するために断面積をできるだけ広くすることが望まれるので、これら共用のメタル配線 13 は厚さを厚くすることでこれらの要求が同時に満足させることが可能となる。また、この場合メタル配線 7 の厚さがメタル配線 13 に比べて薄いため、層間絶縁膜 10 の膜厚を薄くすることが可能となり、タングステンプラグ 12 を形成する際に、より埋め込み易くなる。

【 0 0 3 0 】

本実施形態では、参考例の場合と同様に、二層メタル配線構造としたことにより、隣接するメタル配線の間隔及びメタル配線のピッチを従来の場合に比べて大きくすることが可能となり、メタル配線の幅を太くすることができる。これにより、メモリセルを微細化しても、メタル配線は従来の場合に比べて微細化する必要がなく、メタル配線の信頼性の低下および信号の遅延の発生を防止することができる。

【 0 0 3 1 】

また図 7 および図 8 に示した実施形態においては、メタル配線 7 とメタル配線 13 の材料を変えないで、一方のメタル配線の厚さを変えたが、本発明の他の実施形態では、一方のメタル配線の固有抵抗率が他方のメタル配線の固有抵抗率と異なるような材料を用いても良い。この場合、配線幅 b と配線間スペース c との和は、メタル配線 7 とメタル配線 13 で同一とし、一方のメタル配線の配線幅を変えるか、メタル配線 7 間の層間絶縁膜 10 とメタル配線 13 間の層間絶縁膜 16 について互いに誘電率が異なる材料を用いることにより、配線抵抗 R と配線間容量 C との積がメタル配線 7 とメタル配線 13 で実質的に同一となるようにする。特に、メタル配線 13 を周辺回路の電源線と共用する場合には、メタル配線 1

3 の材料として、例えば銅を用いれば、固有抵抗率が低いため電源線としての電流密度を高くすることができるというメリットがある。この場合、メタル配線 7 間の層間絶縁膜 1 0 は、比誘電率が低い材料とすれば、下層のメタル配線 7 を周辺回路側で信号線に用いたとしても信号伝達を高速に行うことができる。

【 0 0 3 2 】

また、図 7 および図 8 に示した実施形態と同様、メタル配線 7 とメタル配線 1 3 の間で配線材料を変えず、抵抗 R と配線間容量 C の積を互いに実質的に同一としつつ、配線幅および配線間の層間絶縁膜の比誘電率を異ならせても良い。すなわち、本発明の他の実施形態においては、メタル配線 7 とメタル配線 1 3 の間で、配線材料の固有抵抗率、配線幅および配線間の層間絶縁膜の比誘電率のうちの 2 つまたは 3 つを異ならせて、配線抵抗 R と配線間容量 C との積がメタル配線 7 とメタル配線 1 3 とで実質的に同一となるようにするのが良い。このとき、メタル配線 7 とメタル配線 1 3 は厚さが互いに同一であっても、図 7 に示したように、互いに異なる厚さとしても良い。

【 0 0 3 3 】

なお、上層のメタル配線 1 3 の材料として銅を用い、下層のメタル配線 7 にメタル配線 1 3 よりも固有抵抗率の高い材料、例えばアルミニウムを用いる他の例としては、図 1 4 に示すように、メモリ回路 3 2 と論理回路 3 4 が 1 チップ上に混載された半導体記憶装置 3 0 を挙げることができる。このようなメモリ回路 3 2 と論理回路 3 4 が 1 チップ上に混載された半導体記憶装置 3 0 にも本発明を適用可能であることは云うまでもない。

【 0 0 3 4 】

また、本実施形態では、メタル配線 7、1 3 の形成方法として R I E を用いて加工したが、R I E での加工が難しい材料、例えば銅を配線材料として用いる場合は、ダマシン配線を用いることができる。ダマシン配線を用いた場合には、配線間に設けられる層間絶縁膜としては誘電率が低い材料を好ましく用いることができる。このように、メタル配線材料として低抵抗材料（例えば、銅）を用い、メタル配線間の絶縁膜材料として低誘電率材料を用いた場合には、信号の伝達に高速性が求められる配線に有効である。

【 0 0 3 5 】

本発明は、DRAM、SRAM、EPROM、EEPROM、強誘電体メモリ等の各半導体記憶装置に適用できることは云うまでもない。

【 0 0 3 6 】

【発明の効果】

以上、述べたように、本発明によれば、メモリセルの微細化を行ってもメタル配線の信頼性の低下および信号の遅延の発生を可及的に防止することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態の参考例となる半導体記憶装置の製造工程を示す断面図。

【図 2】

本発明の一実施形態の参考例となる半導体記憶装置の製造工程を示す断面図。

【図 3】

本発明の一実施形態の参考例となる半導体記憶装置の構成を示す断面図。

【図 4】

参考例の半導体記憶装置のメタル配線の平面図。

【図 5】

タングステン配線の構成を示す平面図。

【図 6】

図 5 に示す切断線 B - B で切断した断面図。

【図 7】

本発明の一実施形態による半導体記憶装置の構成を示す断面図。

【図 8】

本発明の一実施形態による半導体記憶装置のメタル配線の平面図。

【図 9】

従来の半導体記憶装置の製造工程断面図。

【図 1 0】

従来の半導体記憶装置の製造工程断面図。

【図 1 1】

従来の半導体記憶装置によるメタル配線の平面図。

【図 1 2】

配線のエレクトロマイグレーション特性を示す図。

【図 1 3】

配線幅と配線の時定数との関係を示す図。

【図 1 4】

メモリ回路と論理回路が混載された半導体記憶装置の構成を示すブロック図。

【符号の説明】

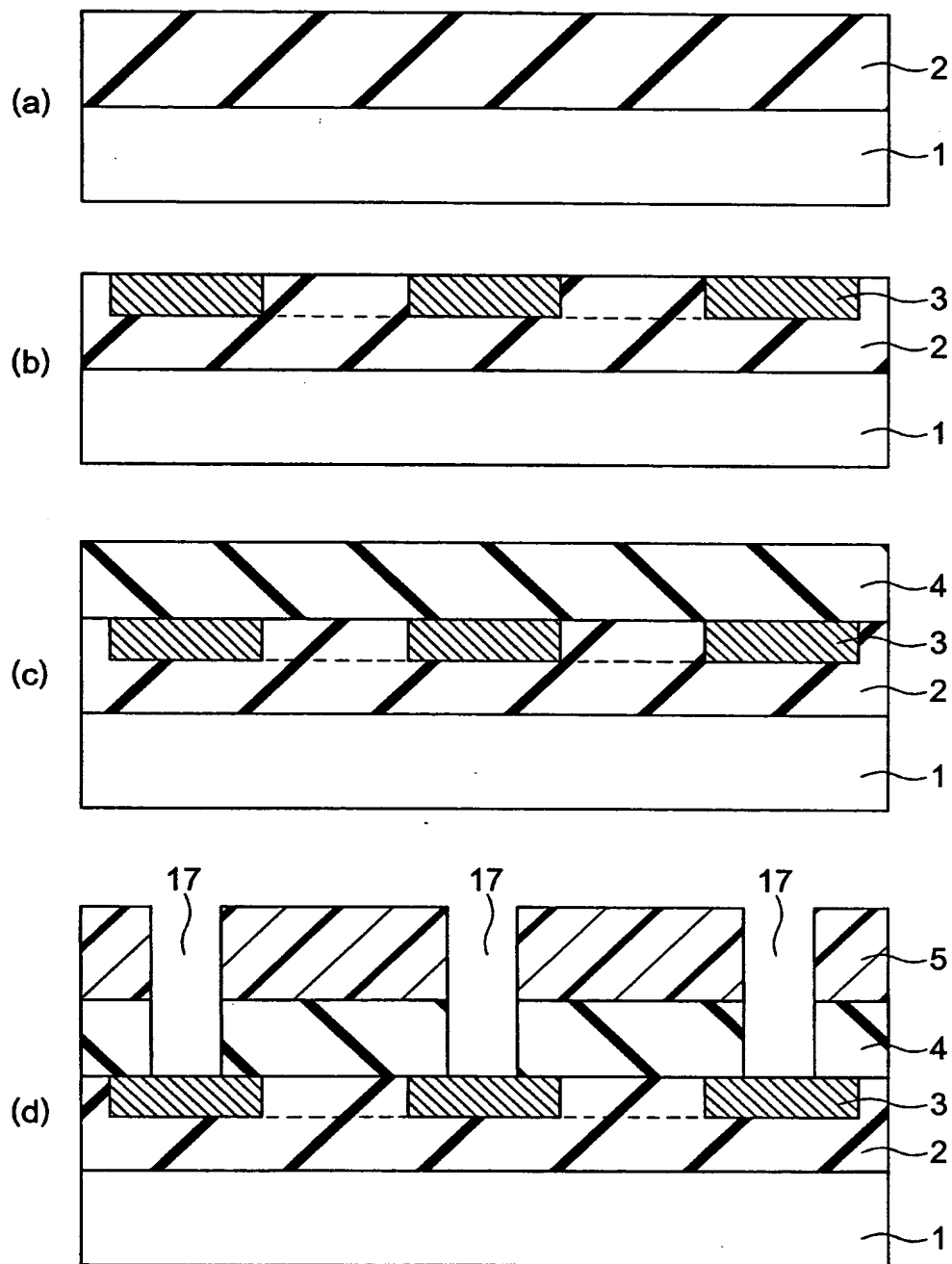
- 1 シリコン半導体基板
- 2 層間絶縁膜
- 3 タングステン配線
- 4 層間絶縁膜
- 5 レジストパターン
- 6 タングステンプラグ
- 7 メタル配線
 - 7 a バリアメタル
 - 7 b A 1 層
 - 7 c バリアメタル
- 1 0 層間絶縁膜
- 1 1 レジストパターン
- 1 2 タングステンプラグ
- 1 3 メタル配線
 - 1 3 a バリアメタル
 - 1 3 b A 1 層
 - 1 3 c バリアメタル
- 1 6 保護膜
- 1 7 ビアホール
- 1 8 ビアホール
- 5 1 素子分離絶縁膜

5 3 活性領域

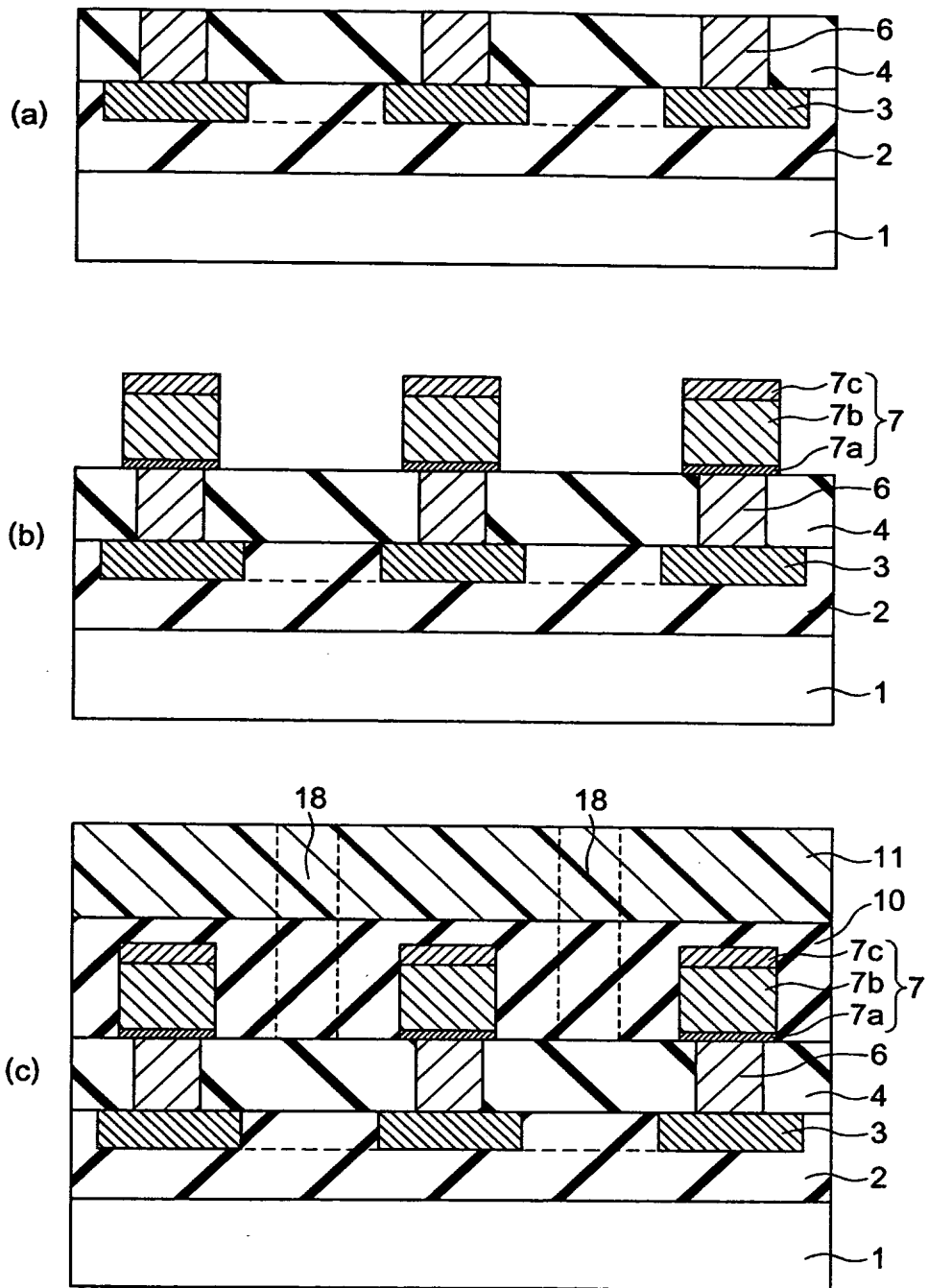
5 7 ビット線コンタクト

【書類名】 図面

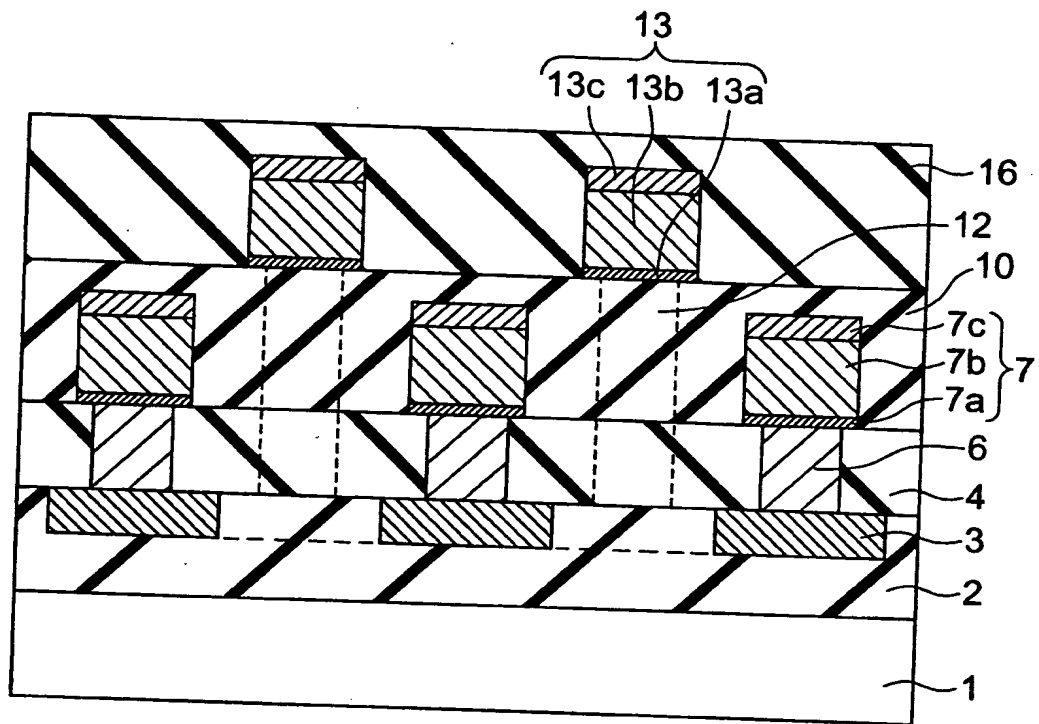
【図 1】



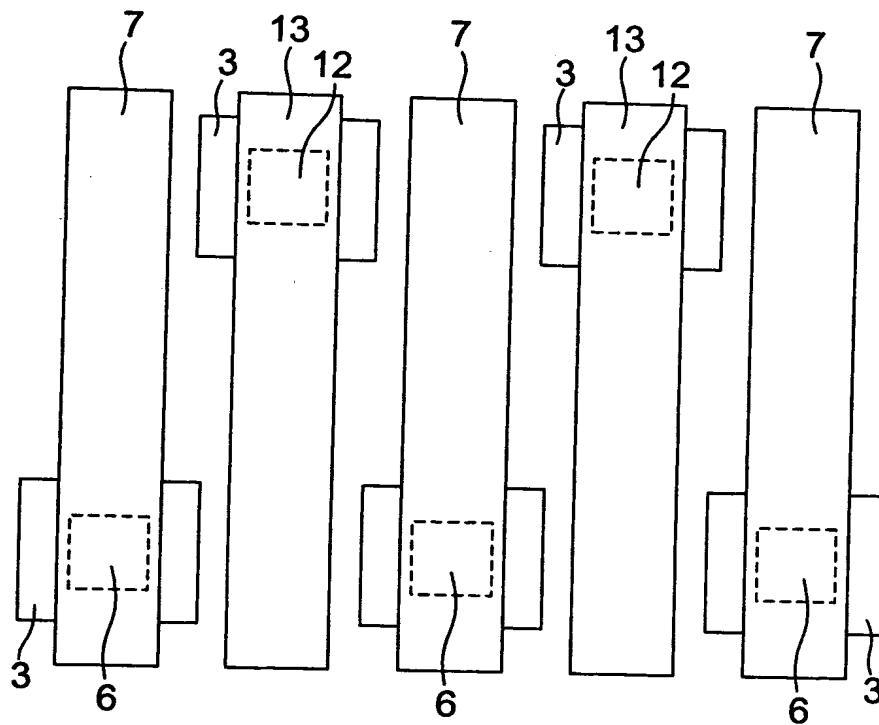
【図 2】



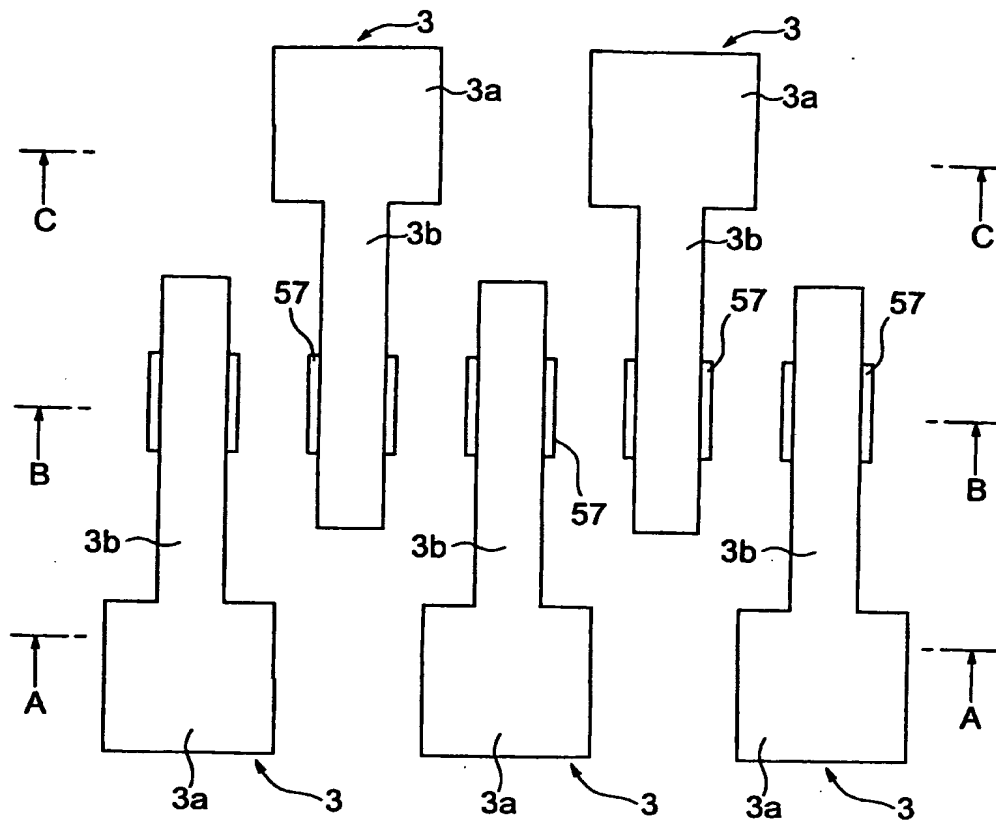
【図 3】



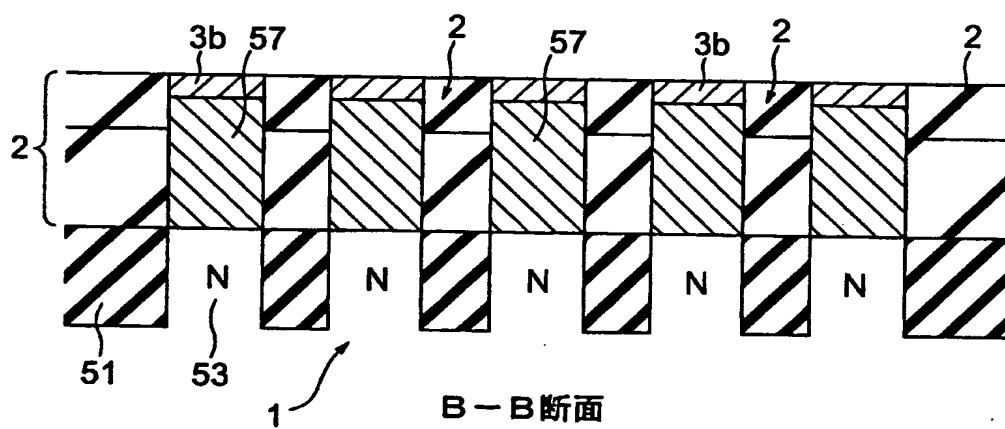
【図 4】



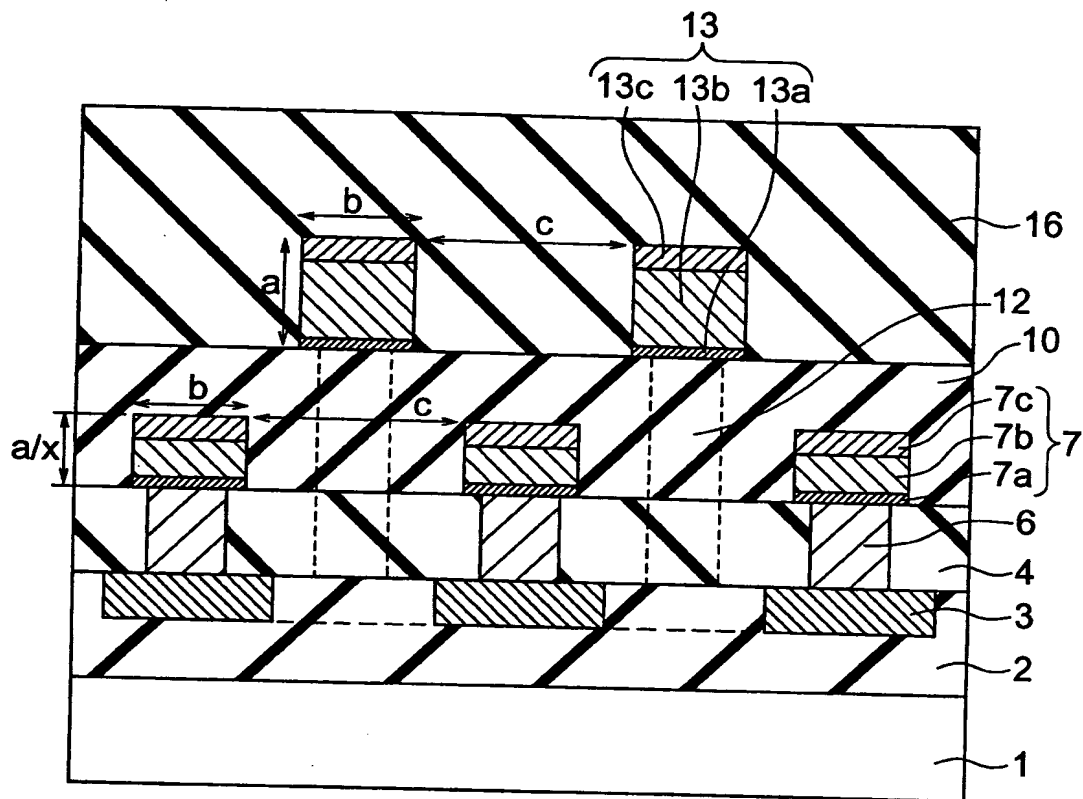
【図 5】



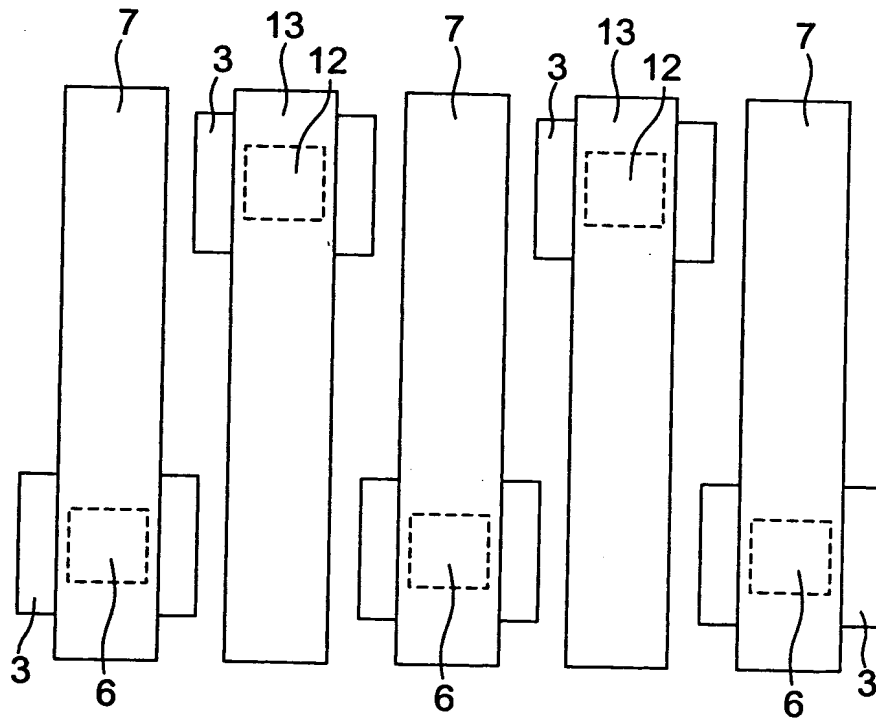
【図 6】



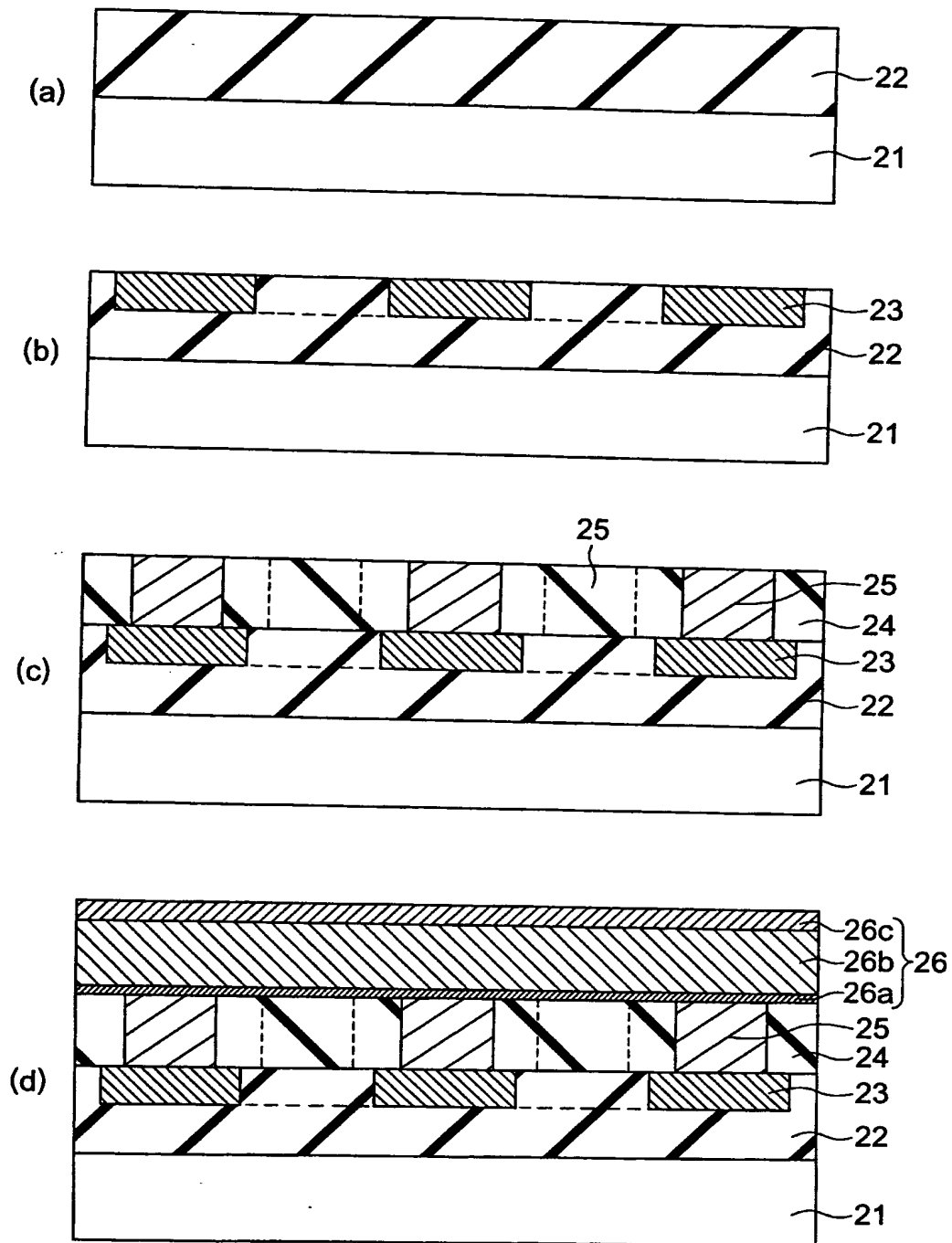
【図 7】



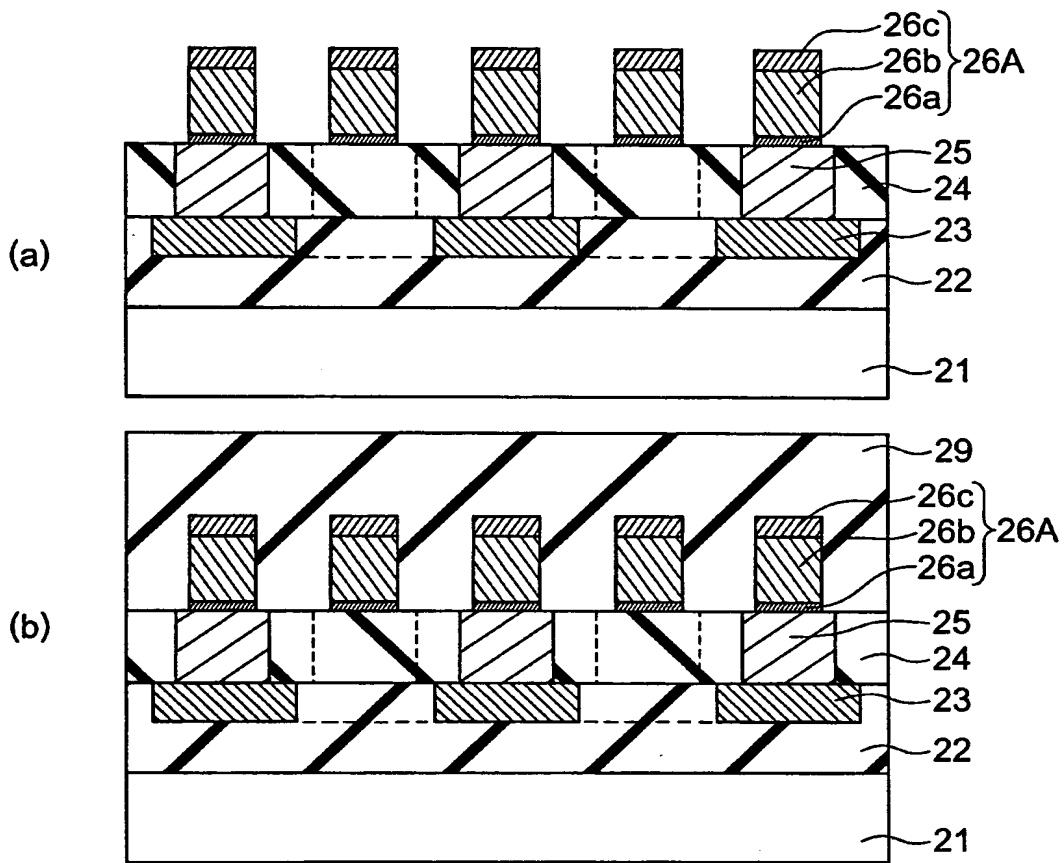
【図 8】



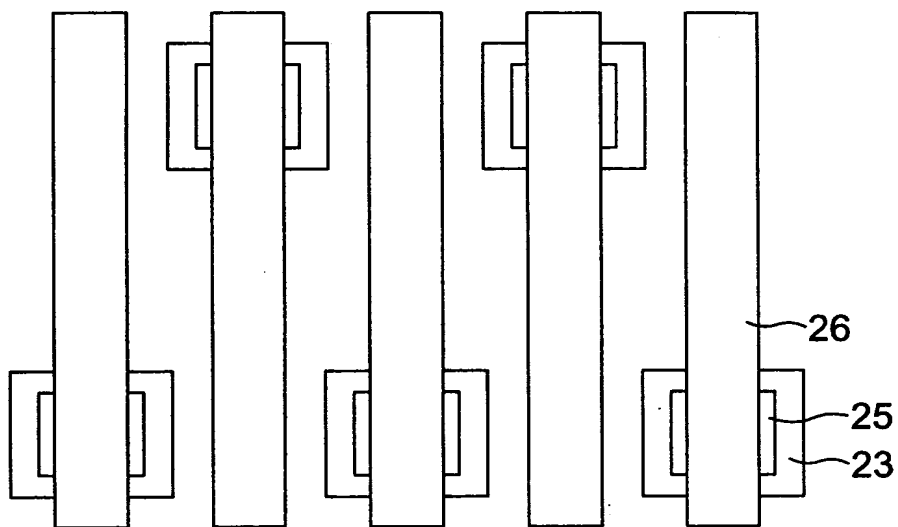
【図9】



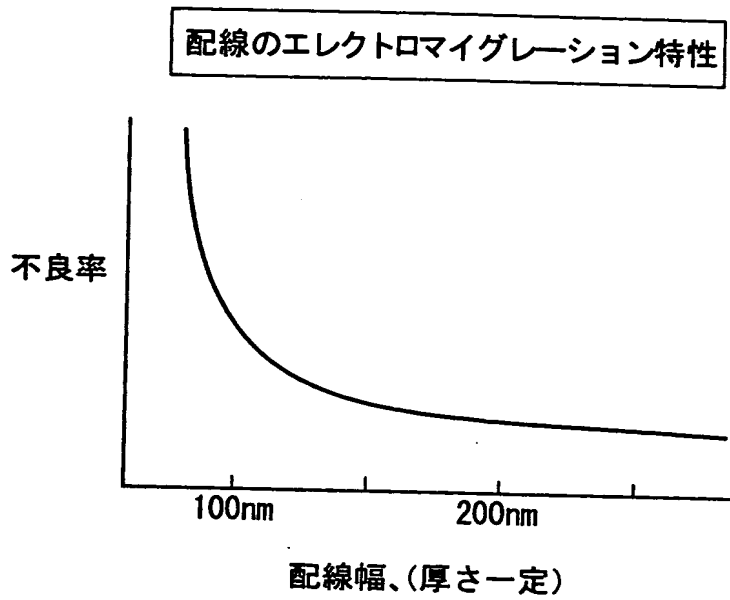
【図 10】



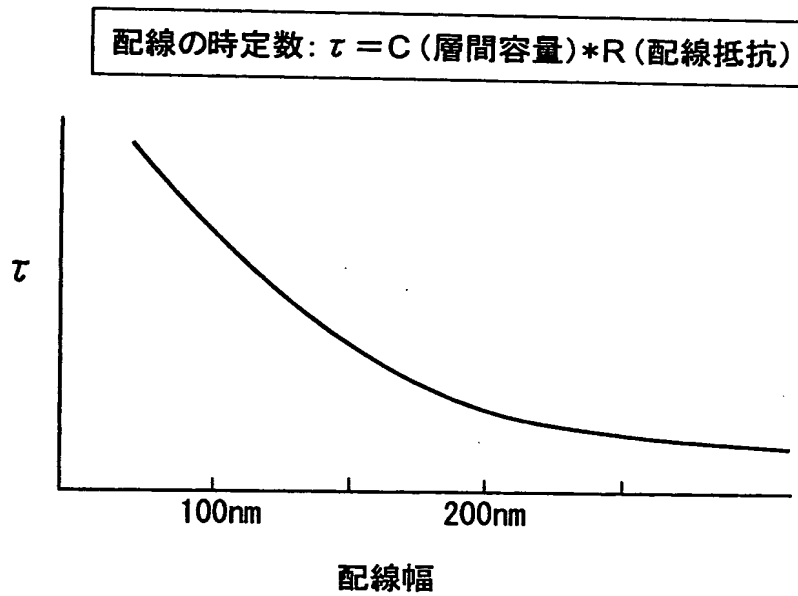
【図 11】



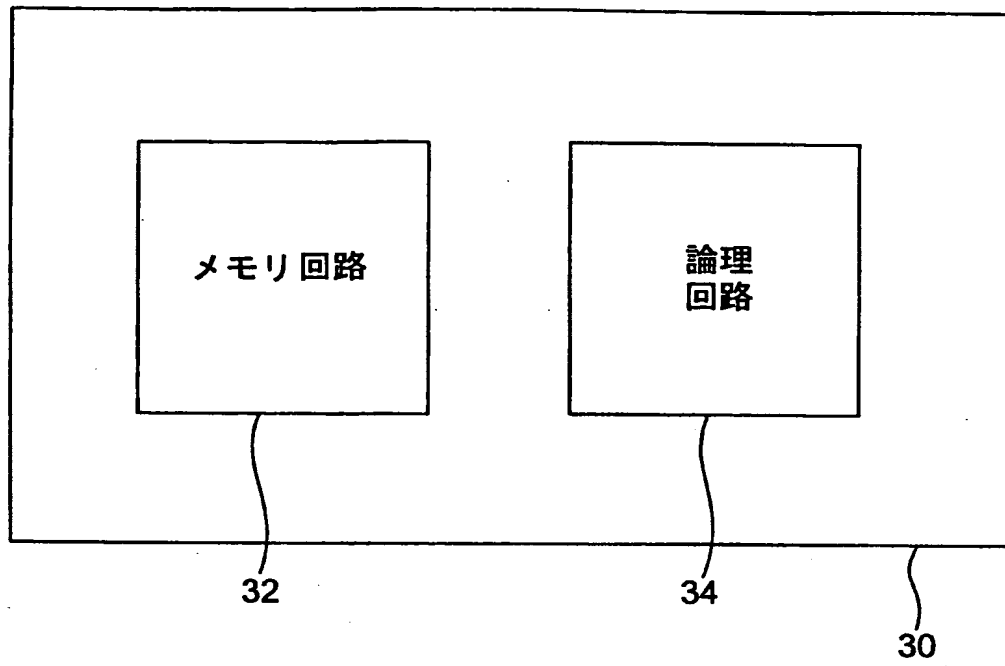
【図 1 2】



【図 1 3】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 メモリセルの微細化を行ってもメタル配線の信頼性の低下および信号の遅延の発生を可及的に防止することを可能にする。

【解決手段】 同一層上に互いに並行に配列されそれぞれが異なるビット線コンタクトと接続する複数の第 1 接続配線 3 と、第 1 接続配線と同一層上に第 1 接続配線と交互にかつ並行に配列されそれぞれが異なるビット線コンタクトと接続する複数の第 2 接続配線と、第 1 プラグ 6 を介して第 1 接続配線に接続する複数の第 1 メタル配線 7 と、第 2 プラグ 1 2 を介して第 1 メタル配線と異なる層に形成される複数の第 2 メタル配線 1 3 とを備え、第 1 および第 2 メタル配線は互いに厚さ、幅の少なくとも一方が異なり、かつ複数の第 1 メタル配線の配線間の配線容量と配線抵抗の積と、複数の第 2 メタル配線の配線間の配線容量と配線抵抗の積とが実質的に同一となるように構成されている。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝